

## KENWOOD

### INSTRUKCJA SERWISOWA TS 440S

#### 1. Opis ogólny.

TS 440S to urządzenie nadawczo odbiorcze z potrójną przemianą częstotliwości, posiadające odbiornik na cały zakres fal od długich do 30 MHz. Zastosowano pośrednie częstotliwości, to jest pierwsza 45,05 MHz , druga 8,830 MHz i trzecia 455 kHz.

TS 440S ma budowę kompaktową pozwalającą jednak na zabudowanie automatycznej skrzynki antenowej pracującej od 3,5 do 28 MHz umożliwiające użycie optymalnych anten.

TS 440S zawiera również pętlę PLL zapewniającą kontrolę częstotliwości do 10 Hz, wykorzystując stabilny generator kwarcowy.

TS 440S ma następujące główne cechy:

- 1) Osobne VFO A oraz VFOB.
- 2) Bezpośrednie wprowadzenie częstotliwości za pomocą klawiatury (opcja).
- 3) 100 kanałów pamięci zawierający zakres , częstotliwość oraz informacje o rodzaju emisji. ( kanały 90 do 99 umożliwiające pracę ze „Splitem”)
- 4) Skanowanie pamięci w 10 grupach i dwa rodzaje skanowania programowego.
- 5) Dostępny rodzaj pracy RTTY.
- 6) Układ blokady szumów działa we wszystkich rodzajach pracy.
- 7) Możliwe podwójne „ofiltrowanie” w celu poprawy stosunku sygnał /szum. ( Wymagane dodatkowe filtry).
- 8) Shift w częstotliwości pośredniej, przełączanie filtrów pośredniej częstotliwości oraz funkcja tłumika dla ustawienia wygodnego odsłuchu sygnału.
- 9) Duży radiator oraz wentylator (100 W) umożliwiający długą pracę.
- 10) Pełny lub „semi break In” do pracy CW
- 11) Możliwość pracy z komputerem ( potrzebny dodatkowy interface)
- 12) Wiele łatwych do odczytania funkcji miernika , takich jak siła sygnału odbieranego ( S – meter), moc nadajnika , SWR i poziom ALC.

#### OPIS OBWODÓW

##### 1) Skrzynka Antenowa

Skrzynka antenowa działa kiedy przełącznik „AUTO /THRU” jest włączony w pozycji „AUTO” oraz załączony jest przełącznik „AT TUNE”.

Skrzynka pracuje ( stroi) w trybie CW a moc jest zmniejszana do 50 Wat niezależnie od wcześniej załączonego rodzaju pracy.

Zakres pracy skrzynki określa mikrokomputer a zawiera się on w przedziale 3,5 do 30 MHz.

## OPIS DZIAŁANIA

Moc przekazywana przez końcówkę mocy wchodzi na dwa transformatory toroidalne L1 i L2 wykrywające prąd i napięcie. Składniki prądu i napięcia są przesyłane do końcówek 9 i 13 układu IC2 w celu kształtowania fali a fazy prądu i napięcia SA porównywane przez IC3 ( HD 10131).

Sygnał wyjściowy jest dosyłany do końcówek 10 i 15 układu bufora IC 3 (HD 1025).

Wyjście z pinów 12 i 13 jest ograniczane diodami Zennera D5 i D6 w celu wysterowania obwodów wejściowych układu scalonego napędu silników IC5 (BA 6109 U2). Sygnał wyjściowy jest użyty do sterowania silniczka M1 napędzającego kondensator zmiennej pojemności VC1 tak aby zmniejszyć różnicę pomiędzy fazami napięcia i prądu.

Składowe napięcia i prądu wychodzące z transformatorów detekcyjnych są dostarczane do komparatora napięcia IC1 ( a ten NJM 2903D) a ten z kolei steruje układem napędu IC6 ( BA 6109U2) który steruje drugim silniczkiem skrzynki ( M2) ustawiający kondensator zmienny VC2 jest kontrolowany w taki sposób że różnica pomiędzy prądem i napięciem jest zmniejszana (SWR 1 i SWR dąży do 1) Uzyskuje się to kiedy prąd i napięcie są w fazie a wielkość różnicy wartości wynosi zero. Vc1 i VC2 są tak zaprojektowane by pracować niezależnie od siebie, ale ponieważ różnica faz wpływa na różnicę amplitudy i odwrotnie zwykle silniczki obracają się razem.

Fala padająca i odbita wykryte przez urządzenie filtrujące przekształcane są na sygnały sterujące SWR w detektorze arytmetycznym a następnie przesyłane do wejścia ( pinu) IW w jednostce AT. Ponieważ sygnały SWR są prądowe , zostają następnie przekonwertowane na napięcie ( V) przez IC8 ( C/4 dzielone przez 4) pin 9 napięcia odniesienia układu IC8 jest zasilany poprzez potencjometr napięciem odpowiadającym współczynnikowi fali 1,25 do 1. Dlatego też kiedy rzeczywista wartość na komparatorze SWR przekracza 1,25 pin 8 komparatora SWR IC8 (C/4) ma stan wysoki (H), więc tranzystor Q5 sterujący pracą silnika włącza się a kolektor Q4 jest zasilany napięciem z pinu 14S. To napięcie jest wykorzystywane również do zasilania diody LED wskaźnika strojenia. Odwrócony pin wejściowy układu IC8 (C/4) jest zasilany falą trójkątną generowaną poprzez IC7 a jego wejście nieodwracające fazy powyższym napięciem SWR zmieniając się na impulsy o coraz mniejszej wartości (aż do uzyskania dostrojenia). Tranzystor Q1 jest sterownikiem napięcia sterującego Q2 połączonego szeregowo z kolektorem Q4 w ten sposób jest wytworzone napięcie sterujące silnika napędu kondensatora. Jeśli silnik obraca się zbyt szybko, wartość SWR będzie mniejsza niż wartość zatrzymania silnika ze względu na jego bezwładność. W rezultacie W rezultacie silnik będzie kontynuował pracę nawet po wysłaniu sygnału zatrzymania a wartość SWR będzie rosła, w rezultacie skrzynka będzie pracować bez przerwy I nie dostroi anteny. Jeśli silnik się nie zatrzyma ciężko jest dostroić antenę. Jeśli prędkość silnika jest zbyt mała wtedy dostrojenie zajmuje dużo czasu. TS 440 posiada układ kontrolujący prędkość silnika

zależnie od SWR. Skrzynka antenowa jest typu T. Sześć przełączników RL 100 do RL 105 pozwala na przełączanie odczepów na cewce w zakresie od 3,5 do 30 MHz.

#### 4. OBWODY PLL

##### OPIS OGÓLNY DZIAŁANIA PĘTLI PLL

TS 440 wykorzystuje częstotliwość odniesienia 36 MHz i składa się z pięciu pętli obejmujących zakres od 30 kHz do 30 MHz w dziesięciu krokach.

Obwód PLL posiada funkcję przesunięcia IF która jest realizowana poprzez wstawienie częstotliwości nośnych pomiędzy pętlami PLL. Pętla PLL obejmuje pętlę PLL z przewodem nośnym oraz pętlę PLL z obwodem generatora wytwarzającego stałą częstotliwość odniesienia 36,22 MHz. Podział częstotliwości dla tych PLL jest kontrolowany poprzez mikroprocesor. We wszystkich pętlach porównywanie faz odbywa się przy użyciu częstotliwości odniesienia  $F(\text{std})$  czyli generatora kwarcowego.

Rysunek 12 przedstawia schemat blokowy .

Częstotliwość odniesienia  $F(\text{std})$  jest generowana poprzez oscylator kwarcowy 36 MHz , oraz tranzystor Q12 ( 2SC2787). Sygnały częstotliwości odniesienia wprowadzane są do układu IC 11 pętli głównej ( SN6913P) poprzez bufor składający się z Q22 i Q23 (2SC 2668). Sygnał jest podawany również do układu IC 13 ( SN74112) poprzez bufor na Q24 (2SC2668). Na układzie IC13 sygnał dzielony jest przez 4 na częstotliwość 9 MHz. Sygnał 9 MHz jest użyty następnie do...

##### 4.1 PLL5

PLL 5 składa się z układu IC18 ( MN6147) oraz towarzyszących elementów pętli. VCO5 ,Q36 ( 2SK192A) ustawiona jest na częstotliwość 36,22 MHz. Sygnał referencyjny 9 MHz doprowadzony jest do pinu 3 układu IC18 , gdzie jest dzielony na 1800 ( 450 na FM) Taki podział generuje częstotliwość 5 kHz ( 20 kHz na FM) służący jako sygnał porównawczy. Sygnał wyjściowy VCO5 przesyłany jest do IC 18 na pin16 poprzez tranzystor Q37(2SC2668) gdzie następnie jest dzielony przez 7244 ( 1811 na FM) faza tego sygnału jest porównywana z sygnałem 5 kHz ( 20 kHz na FM) na komparatorze poprzez co częstotliwość VCO5 jest zablokowana. Dane dotyczące podziału częstotliwości określane są nastawami przez DA0 do DA3 oraz zatrząsk CK4. Jak opisano powyżej współczynnik podziału różni się w zależności od rodzaju pracy w którym znajduje się TS440 FM lub SSB. Dzieje się tak dlatego że pozorne stałe czasowe są zwiększane bez zmiany aktywnej stałej LPF , dzięki czemu sygnały PLL można łatwo modulować i zmniejszać zniekształcenia podczas transmisji FM. W trybach innych niż FM wielkość przesunięcia spowodowanego wibracjami mechanicznymi jest zmniejszona, ponieważ zmniejsza się pozorna stała czasowa.

##### 5.PLL4

PLL4 składa się z układu IC1 ( MN6147) i powiązanego z nim obwodu pętli VCO4, Q3(2SC2668), jest zablokowany na częstotliwości około 91 MHz, która różni się w zależności od trybu pracy. Częstotliwość odniesienia 9 MHz jest dostarczana na pin 3 układu IC1 gdzie sygnał jest dzielony przez 1800 w celu wygenerowania częstotliwości 5 kHz do porównania częstotliwości. Sygnał wyjściowy z VCO4 jest dosyłany do wejścia 16 układu IC1 poprzez wzmacniacz buforowy Q4 ( 2SC2668). W IC 1 sygnał jest dzielony przez odpowiedni współczynnik podziału (ok. 1800) zależnie od rodzaju emisji. Faza sygnału jest

porównywana z fazą sygnału odniesienia 5kHz przez komparator fazy a częstotliwość VCO4 Jest blokowana. Dane dotyczące podziału są wysyłane z jednostki cyfrowej DA0 do DA3 oraz CK3. Sygnał wyjściowy z PLL4 przechodzi przez wzmacniacz buforowy Q5 (2SC2668) i jest dzielony przez 20 w IC2 (M54459L). Sygnał jest dzielony następnie przez dziesięć w obwodzie IC3( SN74LS90) , a następnie podawany do obwodów IF jako sygnał nośny poprzez LPF , a bufor Q7 ( 2SC5458) i Q8(2SC1959). W rodzaju pracy AM lub FM obwód przełącznika Q6 (2SC2458) działa kiedy sygnał SFT jest nadawany a w rezultacie zadziałania IC3, Q7 i Q8 są wyłączane i nie podają nośnej podczas odbioru. Sygnał wyjściowy PLL4 przechodzi również poprzez LPF i wzmacniacz buforowy Q9 (2SC2458) i jest podawany do mieszacza w pętli głównej w celu utworzenia sygnału cyfrowego VFO. W rezultacie częstotliwość robocza nie zmienia się nawet jeśli zależnie od rodzaju emisji zmieni się częstotliwość nośna co oznacza korektę częstotliwości granicznej. W trybie odbioru SSB , CW lub FSK można przesunąć sygnał o +/- 1 kHz lub więcej , a punkt nośnej można regulować w zakresie -400 / +350 Hz.

#### 5.PLL3

PLL3 składa się z IC1 (MN6147) i obwodów towarzyszących . VCO3, Q12(2SC2668), pracuje w zakresie częstotliwości od 99MHz do 103,995 MHz. Sygnał referencyjny 9 MHz dosyłany jest do końcówki 3 układu IC 4 gdzie jest dzielony przez 1800 w celu wytworzenia sygnału 5 kHz dla potrzeb porównania fazy. Sygnał wyjściowy z VCO3 przechodzi poprzez wzmacniacz buforowy Q 13(2SC2668) i dociera do końcówki 16 układu IC4, Sygnał wyjściowy jest dzielony przez L i faza sygnału jest porównywana z fazą sygnału odniesienia 5 kHz za pomocą komparatora częstotliwości , a częstotliwość oscylacji VCO3 jest blokowana ( w krokach co 5 kHz ). Współczynnik podziału L jest podawany przez mikroprocesor za pomocą jednostki cyfrowej DA0 do DA3 oraz CK2 . L wyraża się w 1000 krokach ( 19800 do 20799) co odpowiada częstotliwości od 0,00 do 9,99 kHz. Podczas odbioru CW w celu uzyskania sygnałów dudnienia 800 Hz na wyświetlaczu częstotliwości roboczej , L przesunięto o - 80 (19720 do 20719) , a gdy działa RIT/XIT , L zmienia się tak że F (vco) zostaje przesunięte o +/- 1,2 kHz lub więcej . Wyjście PLL 3przechodzi przez wzmacniacz buforowy Q14 ..... do styku 2 mieszacza 5 ( SN 16 913P) poprzez LPF W mieszaczu 5 sygnał jest mieszany z sygnałem generowanym przez PLL4 i przechodzi poprzez BPF w celu wytworzenia sygnału w zakresie od 6,53 do 6,630 MHz ( w stu krokach).

#### 6. PLL2.

PLL2 składa się z układu IC 19(MN6147) oraz układów pętli VCO2, Q18 (2SC2668), pracuje w zakresie 58,25 do 53,25.01 MHz Sygnał referencyjny 9 MHz dosyłany jest do końcówki trzeciej układu scalonego IC9, gdzie jest dzielony na 450 co generuje sygnał 20 kHz dla komparatora częstotliwości. Wyjście sygnału VCO2 poprzez wzmacniacz buforowy na Q19 (2SC2668) dosyłana jest na końcówkę drugą mieszacza ( MIX4)i mieszana z częstotliwością zawartą pomiędzy 6,35 a 6,63 MHz doprowadzoną do pinu 5. Produkt mieszania poprzez BPF ( filtr pasmowy) zawiera się w zakresie 64,78 do 59.88 MHz (w krokach co 100 kHz) Sygnał zawarty pomiędzy 64,78 a 59,88MHz jest dosyłany do IC9 końcówka 16 poprzez wzmacniacz buforowy Q15 ( 2SC2668). Na układzie IC9 sygnał jest dzielony przez M a faza sygnału jest porównywana z częstotliwością 20 kHz i w ten sposób mieszacz (MIX4) jest zablokowany (z krokiem co 100 kHz). Współczynnik podziału M jest określany poprzez

jednostkę sterującą ( DA0 do DA3 oraz CK1) i zawarty w pięćdziesięciu krokach od 3239 do 2994 co przedstawia się w zakresie częstotliwości od 0,00 do 0,49 MHz.

Wyjście z PLL2 poprzez wzmacniacz buforowy Q20 (2SC2668) zostaje podzielona przez dziesięć na układzie IC10( M5460L). Poprzez LPF sygnał dociera do mieszacza (MIX3) na układzie IC11(SN16913P). Częstotliwość sygnałów zależy od wartości L i M i zawiera się w zakresie 5, 825 do 5,325.01 MHz ( z krokiem 10 kHz). VR1 w układzie mieszacza MIX4 służy do równoważenia poziomów sygnałów wyjściowych mieszacza aby zapobiegać rozszynchronizowaniu PLL2. Sygnały generowane poprzez PLL2 oraz sygnał 9 MHz (częstotliwość referencyjna) są zmieszane w mieszaczu MIX3. Produkt mieszania poprzez filtr pasmowo przepustowy i jest dalej mieszany z F(lo) w mieszaczu MIX 12 ( SN16913P) we wzmacniaczu pośredniej (IF). Wyjście mieszacza MIX2 przechodzi poprzez filtr BPF i zawiera się w przedziale od 38.55MHz do 39,04999MHz. Sygnały są następnie mieszane z sygnałem wyjściowym oscylatora VCO w mieszaczu 1.

#### PLL1

Ostatnia pętla PLL , PLL1 składa się z układu IC 17 ( MB87006) oraz pozostałych komponentów. W IC 17 podział częstotliwości odniesienia i porównania jest ustalany przez dane szeregowo ( SO, SCK, oraz LE). Gdy używany jest zewnętrzny preskaler , IC17 posiada funkcję do kontroli modułu do konfigurowania licznika i „połykania” impulsów. Wyjście oscylatora VCO przechodzi poprzez układ RF a następnie przez wzmacniacz na Q26 (2SC2668) do pętli PLL gdzie jest doprowadzane do mieszacza MIX1.Zmieszane sygnały przechodzą poprzez BPF i zostają wzmacniane poprzez wzmacniacze buforowe Q27 do Q30 (2SC 2668) , ukształtowane przez IC15 ( SN 74S10), preskaler ( dzielnik wstępny) 1/3 lub 1/2. Zasadniczo IC 16 jest dwupoziomowym układem FF i działa jako dzielnik 1/4 . Ale kiedy IC17 w układzie PLL wysyła do IC16 sygnały sterujące działa on jako dzielnik częstotliwości 1/2 lub 1/3 w układzie...

Sygnał referencyjny 9 MHz jest dosyłany do pinu 1 w układzie IC17, gdzie jest dzielony przez 18 uzyskując 500 kHz, sygnał potrzebny dla komparatora. Sygnał przesyłany do IC17 , pin 8 poprzez MX1 oraz wzmacniacz buforowy jest dzielony przez N. oraz porównywany na komparatorze z częstotliwością 500 kHz. Sygnał następnie przechodzi poprzez aktywny filtr LPFs Q31 do Q33 (2SC2459) i dostarczany jest do obwodów RF VCO odpowiedzialnych za kontrolę częstotliwości głównego VCO. Dzielnik częstotliwości N obejmuje pełny zakres od 30 kHz do 30 MHz ( krok 500 kHz), i posiada 61 kroków (stopni podziału częstotliwości) ustawianej w jednostce cyfrowej układu kontrolnego. Sygnał ostatniego VCO zależy zatem od wielkości L ,M oraz N i zawiera się w zakresie od 45,08 MHz do 75,05 MHz ( w krokach 10 Hz). N da się przedstawić równaniem:  $N = P \cdot N_0 - A$  (  $N_0 > A$ ) Gdzie : P – wartość modułu preskalera.  $N_0$  – wartość licznika programowalnego. A – „połknięta” wartość licznika.

PLL IC zawiera  $N_0$  oraz A.

Ostatni zespół VCO jest zawiera obwody RF i składa się z czterech VCO, z których każde obsługuje dany wycinek pasma od 30 kHz do 30 MHz. Odpowiednie VCO jest wybierane na podstawie informacji od mikroprocesora z jednostki kontrolne zależnie od pasma.

#### ODBLOKOWANIE

Jeśli pętla PLL przejdzie w stan odblokowania na wyjściu UL pojawi się stan L następnie zostanie podany do jednostki cyfrowej powodując zatrzymanie procesora.

SYGNAŁ KALIBRATORA 500kHz

Sygnal 500 kHz pobierany jest z IC17 pin 13 i używany jest jako sygnał referencyjny.

## 5. CYFROWA JEDNOSTKA STERUJĄCA

W radiu TS 440S zastosowano Ośmiobitowy procesor (7800) zawierający pamięć ROM czyli 16 K ROM (27128) plus 2K RAM (8418) poza procesorem. Wspólna magistrala używana do wymiany danych pomiędzy procesorem a pamięcią RAM, pomiędzy procesorem a pamięcią ROM jest również podłączona równolegle do dwóch podprocesorów 8255 dla rozszerzonych wyjść wejść /wyjść ( I/O) i 8251 dla interfejsu do komputera osobistego(opcja). Aby przesłać dane do lub z odpowiedniego układu scalonego, Procesor wykorzystuje sygnał WR lub RD oraz sygnał wyboru układu scalonego z układu 74S138. Wyświetlacz jest dynamicznie sterowany przez oprogramowanie i zawiera 13 cyfr oraz 9 segmentów. 13 cyfr i sygnał siedmiosegmentowy są sterowane przez bufor rezystancyjny wysokiego napięcia (6300), a pozostałe dwa sygnały segmentowe są sterowane przez tranzystor. Układ 7800 przesyła dane szeregowo. Impulsy zegarowe i sygnały U/D z dwóch impulsów zegarowych są przesunięte względem siebie o 90 stopni i dosyłają impulsy do układu 7800. Impuls zegarowy przerywa pracę 7800, a sygnał U/D powoduje że układ zlicza impulsy w dół lub w górę dla każdego kroku. Jeśli nastąpi szybsza rotacja (obroty), 7800 przetwarza po kilka etapów danych PLL na czas.( sekundę).

Napięcia RIT oraz IF Shift są przekształcane z analogowych na cyfrowe przez układ konwertera AD (4052) i podawane do 7800. Te napięcia sterują wyświetlaczem oraz są odzwierciedlane w danych PLL. Cyfrowa jednostka sterująca zawiera dwa układy 8255 dla rozszerzenia wejść i wyjść ( I/O). Układ 8255 A jest elementem wyjściowym dla skanowania kluczy i danych statystycznych. Wyjście 8255 emituje sygnały VS-1, dane PLL dla 6147, impulsy zegarowe i dane LED 1MHz. Wejście 8255 odbiera dane skanowania klawiszy, takie jak dane przełączników panelu i kompensację CAR. Otrzymuje również dane statystyczne które można wprowadzić jako dane skanowania klucza częściowego. Układ 7800 generuje cztery bity informacji o zakresie i rodzaju pracy. ( 11 zakresów częstotliwości w zakresie 30 kHz do 30 MHz) Za każdym razem kiedy 8251 jest używany jako interfejs do komputera osobistego, odbiera jeden bajt danych, 7800 jest przerywany i odczytuje dane z 8251. Układ 7800 analizuje każde polecenie zawarte w danych. W odpowiedzi na polecenie układ 7800 steruje ustawieniem lub zapisuje dane do 8251 zgodnie z wymaganiami. Układ 8251 wysyła szeregowo jeden bajt danych, w tym bit startu, synchronizując się częstotliwością 4800Hz sygnału zegarowego.

### 1.ENKODER

TS 440S wykorzystuje enkoder optyczny. Dwa różne sygnały taktujące ( zegarowe) są przesunięte o kąt 90 stopni. Ta różnica faz nie jest regulowana ale zależna od precyzji modułu. Oba sygnały są konwertowane na impulsy taktujące ( 250 na jeden obrót razy cztery) i sygnały U/D wskazujące kierunek obrotu przez 4011 i 4030 podawane do układu 7800. Rysunek 15 przedstawia wykresy impulsów taktujących zegara oraz impulsów U/D przesyłanych do 7800.

### 2.WSKAŹNIK CYFROWY

Sygnały cyfr i segmentów są sterowane przez układ 6300, ale sygnały kropki dziesiętnej i znaków „czerwonych” są sterowane przez tranzystor. Napięcie 8V służy do regulacji jasności znaków. Układ 7800 wysyła dane wyświetlacza szeregowo z częstotliwością 1 MHz, ale sygnały zegara są w układzie 4080 dzielone przez dwa (500) i podawane do 6300. Rysunek 16

pokazuje jak zrealizowany jest podział częstotliwości. Układ 7800 wysyła dane z pinu SO (pin 28) i sygnał zegara z pin SCK (pin 26) w odstępach ok. 1 ms. Po wielokrotnej wysyłce danych ( osiem bitów) z 7800, układ wysyła ujemny impuls wyłączający z portu B5 ( pin 46). Gdy pojawi się cyfra dziesiąta, układ 7800 ustawia port C4 na L, a gdy pojawi się „czerwony znak” (znak zakazu) , 7800 ustawia port C3 na H

### 3. UKŁAD SKANOWANIA KLAWISZY.

Układ skanowania klawiszy wysyła impulsy ujemne ze swojego portu 8255 ( IC53) w kolejności od C0 do C7 ( C6 i C7 jest wysyłane tylko kiedy załączone jest zasilanie ). Gdy przełącznik punktu przecięcia matrycy jest włączony, odpowiadający mu bit w punkcie A ma stan niski (L), aby umożliwić identyfikację przełącznika (klawisza). Matryca jest pokazana na rysunku 13. Skanowanie klawiszy 6 i 7 ma funkcje rozszerzona za pomocą diod.

### 4. WEJŚCIA STATYCZNE.

7800 (IC1)

C0 En koder, sygnał U/D – H stan wysoki (UP)

C2 Sygnał otwarcia (Ulock) – stan L kiedy otwarty.

C7 4052 ( IC: display) - A/D konwerter dane.

8255 ( IC 53)

B0 przełącznik „zamknięcia pętli” – stan L kiedy załączony.

B2 przełącznik AT – stan L kiedy załączony

B3 MIC UP – L kiedy załączony

B4 MIC DWN –L kiedy załączony

B5 przełącznik PTT – L kiedy załączony

B7 VS1 sygnał zajętości kanału – H kiedy VS1 zajęte

### 5. WEJŚCIA CONWERTERA A/D

Napięcia sterujące RIT oraz IF Shift napięcia regulacyjne (VRs) sa doprowadzone do 4052 ( IC2 wskaźnika). Układ 4052 ma cztery wyjścia analogowe: A0 ( IC2 pin 4), podłączone do przesunięcia IF (VR) oraz A1 ( pin5) podłączony do układu RIT ( VR), pozostałe dwa wejścia są nie używane. Podczas odczytu danych IF Shift, 7800 ustawia port C5 na 0 i wybiera 4052 ustawiając A na 0 (zero). W rezultacie 3255 wysyła dodatni impuls z portu B0 aby zresetować 4052, a układ 7800 wysyła dziewięć impulsów dodatnich z portu C6 a port C7 odbiera dane.. Podczas odczytu danych RIT, 7800 ustawia C0 z 4052 na H, a następnie wykonuje te same operacje, co podczas odczytu danych przesunięcia IF.

### 6. SKRZYŃKA ANTENOWA

Kiedy przełącznik AT jest włączony , a przełącznik AUTO/THRU jest w pozycji AUTO, porty B2 i B5 8255 ( IC53) SA włączone. Kiedy układ 7800 wie że włącznik AT jest włączony przez port B2, zostaje załączony tryb CW a port A2 ustawiony na H a porty A0, A1, A3 A6 oraz B4 ustawione zostają na L co przełącza moc nadajnika na niską (50Wat). Układ 7800 wie że kiedy PTT jest załączony przez 8255 port B5 i ustawia port B6 (kontrola nadawania) na H, umożliwiając transmisję. Jednakże kiedy częstotliwość jest poza dozwolonym zakresem układ 7800 to nadawanie zostaje zablokowane, 7800 (portA6) wraca na L a układ 7800 zablokuje nadawanie. Podobnie kiedy częstotliwość wynosi 1,9 MHz lub niżej układ 800 zablokuje tryb CW uniemożliwiając zestrojenie i nadawanie.

### 7. Wyjścia LED

Odpowiedzialny za rodzaje emisji układ 7800 otrzymuje od układu 8255 (IC2) sygnały ;- M,SCR,1 MHz i steruje diodami LED z portów B\$,B5,B6, kiedy Ledy świecą te posty są w stanie L. Kiedy odpowiedni rodzaj pracy zostanie załączony porty 7800 od A0 do A5 mają stan H. A0 do A5 odpowiednio zapalają się zależnie od emisji LSB, USB, CW, AM FM oraz FSK. Sygnały rodzaju pracy są używane także do przełączania obwodów pośredniej częstotliwości.

#### 8. MODUŁ VS-1 ( opcja)

Kiedy „przełącznik głosu” jest załączony ,adres odpowiadający wprowadzonej instrukcji ( dane liczbowe) jest wysyłany z portu A0 do A4 8255 a impuls startowy z portu A5. VS1 wywyła sygnały zajętości do 8255 ( IC53) portu B7 kiedy procesor głosu jest włączony. Po wyłączeniu wysyłany jest adres odpowiadający kolejnej instrukcji i sygnał startu.

#### 9. uPD 7800 RESET UKŁADU

Reset układu 7800 zachodzi wtedy kiedy radio jest włączone. Ten obwód wysyła impuls resetu do 7800 wraz z impulsem zegarowym wysłanym do wejścia zegarowego X1 układu 7800 (pin31) Jednocześnie IC3 Ponieważ IC3 pozostaje włączony PST52OD (IC#) na pinie 1 nie osiągnie 4,3 V napięcia. C10 nie jest ładowany umożliwiając ty samym dotarcie sygnału resetu. Kiedy pin 1 osiągnie poziom 4,3 V, IC3 umożliwi naładowanie C10 poprzez rezystory R2 i R3 zatrzymując resetowanie układu.

#### 10. URZĄDZENIA WYJŚCIOWE PLL.

Urządzenia wyjściowe PLL kontrolują pięć pętli PLL. Pętla PLL o skoku 500 kHz wykorzystuje układ MB87006 a pozostałe pętle układy MN6147. Układ MB 87006 posiada dwa dzielniki : jeden dla uzyskania częstotliwości referencyjnej i drugi dla pozostałych liczników. Dane dotyczące podziału częstotliwości są wykorzystywane wtedy kiedy radio jest włączone. Układ MN6147 wykorzystuje ciągi impulsów pokazane na rysunku 19. Ponieważ MN 6147 zostaje zablokowany jak pokazano na rysunku 20,wysyłane są tylko dane po zmianie. Dane G0 mogą być dowolnymi danymi, ponieważ służą do przesyłania danych G2 i G7 do zatrasku ( latch) G8.

#### 11. POZOSTAŁE WYJŚCIA

Wyjście RL ( 7800 port A6)

Wyjście kontroli sygnału nadawania . Kiedy trwa transmisja sygnał na tym wyjściu ma poziom H.

BZ ( buzzer) wyjście 7800 port A7

Reset ( układ 7800 port B7) To wejście resetuje dwa 8255 oraz opcjonalnie 8251.

Wyjście SBK (8255(IC2) port A6) Ten sygnał wycisza obwody RF podczas przełączania pętli PLL

Wyjście MT (8255 ( IC2) port A2) Ten sygnał wycisza tor AF podczas przełączania PLL.

SCH ( 8255(IC2) portC0) Sygnał ten steruje subtonami dla potrzeb modulacji FM. Aktywny dla kanałów pamięci od 90 do 99. Aktywuje układ stanem wysokim ( H).

#### 12. Przełączniki kompensacji fali nośnej.

Przełącznik ten służy do kompensacji częstotliwości bezwzględnej filtra 455kHz.

Charakterystykę można kompensować od -400 do + 375 Hz. LSB i USB można kompensować osobno. Kiedy kompensujemy LSB...( brak tekstu)

Gdy wszystkie bity są wyłączone, dostarczane jest 400 Hz. Kiedy nie ma kompensacji...( brak tekstu)



Gdy wszystkie bity są wyłączone, w celu kompensacji dostarczane jest 400 Hz. Kiedy nie jest wymagana kompensacja bitów...( brak tekstu)

### 13. INFORMACJA O ZAKRESIE CZĘSTOTLIWOŚCI.

Informacja o paśmie jest przesyłana z jednostki kontrolnej do gniazdka 15 układu RF. Sygnał informacyjny B<sub>0</sub> do B<sub>3</sub> w postaci kodu BCD w którym B<sub>0</sub> odpowiada LSB. Q4D (M74LS145P) służy do konwersji danych z kodu BCD do DEC i generuje sygnał sterujący dla dziesięciu lub 11 pasm. Sygnały sterujące dla pozostałego pasma ( 25 MHz do 30 MHz) generowane są w układzie AND składającym się z D57, D58 i Q46. Te sygnały przechodzą przez bufor prądowy złożony z Q41 do Q45, ( M54561P i 2SA562Y) i SA w razie potrzeby ustawiane na poziomie 0R przez diody i wysyłane do AT ( skrzynki antenowej) , zespołu filtrów, C0 oraz filtrów antenowych BPF jak pokazano na rysunku 21.